

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-341092

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H04L 27/22
H04L 7/00

(21)Application number : 10-144317

(71)Applicant : NEC CORP

(22)Date of filing : 26.05.1998

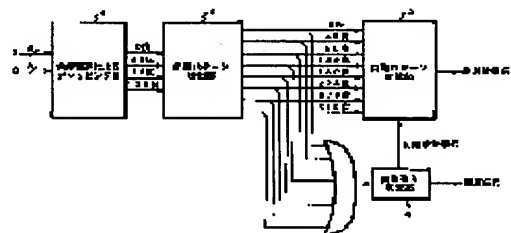
(72)Inventor : FURUSAWA ATSUSHI

(54) ABSOLUTE PHASE DETECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an absolute phase detection circuit for stably detecting the absolute phase of a detected synchronizing pattern or a burst pattern even when data transmitted by a digital phase modulation system is diffused at the time of a low CN ratio.

SOLUTION: The absolute phase detection circuit is provided with a demapping means for inputting an in-phase component and an orthogonal component detected from a digital phase modulation signal, detecting an angular range including a vector angle on a phase plane which is formed by the in-phase component and the orthogonal component and outputting an angle detection signal corresponding to the angle range. The circuit is also provided with a synchronizing pattern detection means for inputting the angle detection signal, detecting a synchronizing pattern in each angle range and outputting a synchronizing pattern detection signal in each angle range and a frequency counting means for detecting an absolute phase by counting frequency at each angle of the synchronizing pattern detection signal and outputting an absolute phase signal.



LEGAL STATUS

[Date of request for examination]

26.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-341092

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 27/22
7/00H 0 4 L 27/22
7/00C
F

審査請求 有 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平10-144317

(22) 出願日 平成10年(1998)5月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 古澤 篤

東京都港区芝五丁目7番1号 日本電気株式会社内

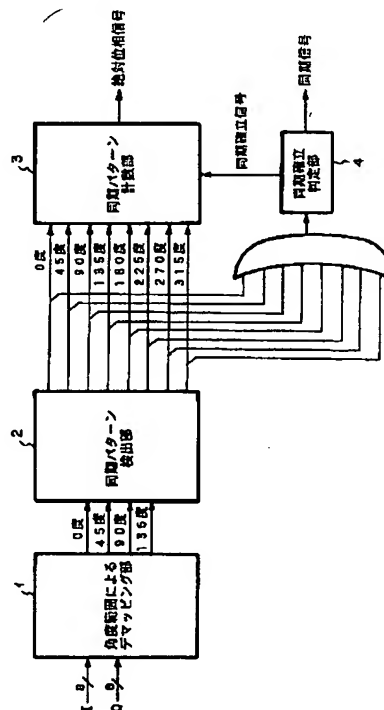
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 絶対位相検出回路

(57) 【要約】

【課題】 デジタル位相変調方式によって伝送されたデータが低C/N時に拡散した場合でも、検出された同期パターン又はバーストパターンの絶対位相を安定して検出する絶対位相検出回路を提供する。

【解決手段】 デジタル位相変調信号から検出された同相成分と直交成分を入力し、同相成分と直交成分のなす位相平面上のベクトルの角度の属する角度範囲を検出して角度範囲に対応した角度検出信号を出力するデマッピング手段と、角度検出信号を入力し、角度範囲毎の同期パターンを検出して角度範囲毎に同期パターン検出信号を出力する同期パターン検出手段と、同期パターン検出信号の角度毎の頻度を計数することにより絶対位相を検出して絶対位相信号を出力する頻度計数手段と、を備える。



【特許請求の範囲】

【請求項1】 デジタル位相変調信号から検出された同相成分と直交成分を入力し、該同相成分と直交成分のなす位相平面上のベクトルの角度の属する角度範囲を検出して該角度範囲に対応した角度検出信号を出力するデマッピング手段と、

前記角度検出信号を入力し、角度範囲毎の同期パターンを検出して角度範囲毎に同期パターン検出信号を出力する同期パターン検出手段と、

前記同期パターン検出信号の角度毎の頻度を計数することにより絶対位相を検出して絶対位相信号を出力する頻度計数手段と、

を備えることを特徴とする絶対位相検出回路。

【請求項2】 請求項1に記載の絶対位相検出回路において、更に、前記同期パターン検出信号をもとに同期確立を判定して、同期確立時に同期確立信号を出力する同期確立判定部を備え、前記頻度計数手段は、前記同期確立信号も前記計数に使用することを特徴とする絶対位相検出回路。

【請求項3】 デジタル位相変調信号から検出された同相成分と直交成分を入力し、該同相成分と直交成分のなす位相平面上のベクトルの角度の属する角度範囲を検出して該角度範囲に対応した角度検出信号を出力するデマッピング手段と、

前記角度検出信号を入力し、角度範囲毎のバーストパターンを検出して角度範囲毎にバーストパターン検出信号を出力するバーストパターン検出手段と、

前記バーストパターン検出信号の角度毎の頻度を計数することにより絶対位相を検出して絶対位相信号を出力する頻度計数手段と、

を備えることを特徴とする絶対位相検出回路。

【請求項4】 請求項3に記載の絶対位相検出回路において、更に、前記角度検出信号を入力し、角度範囲毎の同期パターンを検出して角度範囲毎に同期パターン検出信号を出力する同期パターン検出手段と、前記同期パターン検出信号をもとに同期確立を判定して、同期確立時に同期確立信号を出力する同期確立判定部を備え、前記頻度計数手段は、前記同期確立信号も前記計数に使用することを特徴とする絶対位相検出回路。

【請求項5】 請求項1乃至4のいずれか1項に記載の絶対位相検出回路において、前記デマッピング手段は、複数の比較器と、該複数の比較器の出力を論理合成する論理ゲートを備えることを特徴とする絶対位相検出回路。

【請求項6】 請求項1乃至4のいずれか1項に記載の絶対位相検出回路において、前記頻度計数手段は、各角度範囲の同期パターン検出信号毎のカウントと、該カウントのカウント値が所定の値になったことを検出する比較手段と、該比較手段の出力をもとに絶対位相をエンコードするエンコーダと、を備えることを特徴とする絶対

位相検出回路。

【請求項7】 請求項1又は2又は4に記載の絶対位相検出回路において、前記同期パターン検出手段は、前記角度範囲毎の角度検出信号を直並列変換するシフトレジスタと、該シフトレジスタの出力と前記同期パターンとを比較する手段とを備えることを特徴とする絶対位相検出回路。

【請求項8】 請求項3又は4に記載の絶対位相検出回路において、前記バーストパターン検出手段は、前記角度範囲毎の角度検出信号を直並列変換するシフトレジスタと、該シフトレジスタの出力と前記バーストパターンとを比較する手段とを備えることを特徴とする絶対位相検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデジタル位相変調信号から検出された同期パターン又はバーストパターンの絶対位相を検出する絶対位相検出回路に関する。

【0002】

【従来の技術】 デジタル位相変調方式では、搬送波（キャリア）の位相を等間隔で変化させることによりデータ伝送を行う。BPSK（2相位相シフトキーイング）では、位相を0度、180度に変化させ、その位相に1、0を割り当てることにより、図7（a）に示すように、1ボー当たり1ビットのデータを伝送できる。QPSK（4相位相シフトキーイング）では45度、135度、180度、225度の位相に00、01、11、10を割り当てることにより、図7（b）に示すように、1ボー当たり2ビットのデータを伝送できる。また、8PSK（8相位相シフトキーイング）では、同様に、図7（c）に示すように、1ボー当たり8位相により3ビットのデータを伝送できる。

【0003】 なお、関連する従来技術として、特開平4-341034号公報に記載の「デジタル角度変調信号の復調回路」と、特開平8-317005号公報に記載の「位相変調信号復調方式」がある。

【0004】

【発明が解決しようとする課題】 デジタル位相変調器の入力データが図4に示す様なパターンを有するものとする。同期パターン21の後に、データ22とバーストパターン26とが交互に続く。同期パターンとバーストパターンがBPSK、データがBPSK、QPSK又は8PSKで変調され、さらにキャリア再生を8PSKで行う場合、キャリアは $\pi/4 \times n$ （ $n=0, 1, \dots, 7$ ）の8通りの位相にロックする。8PSKのキャリアから見て、例えば0度にBPSKパターンが存在する場合、信号点は図8に示す円内に分布する。しかし、8PSKのキャリアが図8に示す45度、135度の位置にロックしても8PSKのキャリアが0度の位置にロックした場合と同一のBPSKのパターンが検出される可

能性が高い。この様に複数のキャリアの位相に対して同一のBPSKパターンが検出されてしまい、検出されたBPSKパターンを判定することによりキャリアの正しい位相を確定することは困難である。

【0005】本発明は、デジタル位相変調方式によって伝送されたデータが低C/N時に拡散した場合でも、検出された同期パターン又はバーストパターンの絶対位相を安定して検出する絶対位相検出回路を提供することをその目的とする。

【0006】

【課題を解決するための手段】本発明による絶対位相検出回路は、デジタル位相変調信号から検出された同相成分と直交成分を入力し、該同相成分と直交成分のなす位相平面上のベクトルの角度の属する角度範囲を検出して該角度範囲に対応した角度検出信号を出力するデマッピング手段と、前記角度検出信号を入力し、角度範囲毎の同期パターンを検出して角度範囲毎に同期パターン検出信号を出力する同期パターン検出手段と、前記同期パターン検出信号の角度毎の頻度を計数することにより絶対位相を検出して絶対位相信号を出力する頻度計数手段と、を備えることを特徴とする。

【0007】また、本発明による絶対位相検出回路は、上記の絶対位相検出回路において、更に、前記同期パターン検出信号をもとに同期確立を判定して、同期確立時に同期確立信号を出力する同期確立判定部を備え、前記頻度計数手段は、前記同期確立信号も前記計数に使用することを特徴とする。

【0008】更に、本発明による絶対位相検出回路は、デジタル位相変調信号から検出された同相成分と直交成分を入力し、該同相成分と直交成分のなす位相平面上のベクトルの角度の属する角度範囲を検出して該角度範囲に対応した角度検出信号を出力するデマッピング手段と、前記角度検出信号を入力し、角度範囲毎のバーストパターンを検出して角度範囲毎にバーストパターン検出信号を出力するバーストパターン検出手段と、前記バーストパターン検出信号の角度毎の頻度を計数することにより絶対位相を検出して絶対位相信号を出力する頻度計数手段と、を備えることを特徴とする。

【0009】更に、本発明による絶対位相検出回路は、上記の絶対位相検出回路において、更に、前記角度検出信号を入力し、角度範囲毎の同期パターンを検出して角度範囲毎に同期パターン検出信号を出力する同期パターン検出手段と、前記同期パターン検出信号をもとに同期確立を判定して、同期確立時に同期確立信号を出力する同期確立判定部を備え、前記頻度計数手段は、前記同期確立信号も前記計数に使用することを特徴とする。

【0010】更に、本発明による絶対位相検出回路は、上記の絶対位相検出回路において、前記デマッピング手段は、複数の比較器と、該複数の比較器の出力を論理合成する論理ゲートを備えることを特徴とする。

【0011】更に、本発明による絶対位相検出回路は、上記の絶対位相検出回路において、前記頻度計数手段は、各角度範囲の同期パターン検出信号毎のカウントと、該カウンタのカウント値が所定の値になったことを検出する比較手段と、該比較手段の出力をもとに絶対位相をエンコードするエンコーダと、を備えることを特徴とする。

【0012】更に、本発明による絶対位相検出回路は、上記の絶対位相検出回路において、前記同期パターン検出手段は、前記角度範囲毎の角度検出信号を直並列変換するシフトレジスタと、該シフトレジスタの出力と前記同期パターンとを比較する手段とを備えることを特徴とする。

【0013】更に、本発明による絶対位相検出回路は、上記の絶対位相検出回路において、前記バーストパターン検出手段は、前記角度範囲毎の角度検出信号を直並列変換するシフトレジスタと、該シフトレジスタの出力と前記バーストパターンとを比較する手段とを備えることを特徴とする。

【0014】

【発明の実施の形態】図1において、I、Qのデータは8PSK（8相位相シフトキーイング）、QPSK（4相位相シフトキーイング）、BPSK（2相位相シフトキーイング）の複数の変調方式で伝送されてきたデータで、BPSK変調方式によって変調された同期パターンを含む。Iは同相成分であり、Qは直交成分である。角度範囲によるデマッピング部1は、図2に示す様にI、Qによって示される座標が図2（a）の1をマッピングする範囲にあるとき、0度の角度検出信号を1にして、範囲外にあるときは0にして出力する。同様に、図2

（b）の1をマッピングする範囲にあるとき、45度の角度検出信号を1にして出力し、範囲外にあるときは0にして出力し、図2（c）の1をマッピングする範囲にあるとき、90度の角度検出信号を1にして出力し、範囲外にあるときは0にして出力し、図2（d）の1をマッピングする範囲にあるとき、135度の角度検出信号を1にして出力し、範囲外にあるときは0にして出力する。同期パターン検出部2は、0度、45度、90度、135度の角度検出信号に対し同期パターンの一致検出を行い、0度、45度、90度、135度の同期パターン検出信号を出力する。さらに0度、45度、90度、135度の角度検出信号に対して反転した同期パターンの一致検出を行い、各々180度、225度、270度、315度の同期パターン検出信号を出力する。これらの同期パターン検出信号の論理和が論理和ゲートでとられ、同期確立判定部4に入力される。同期確立判定部（フライホイール）4は論理和ゲートの出力をもとに同期パターンの時間的な位置を検出し、同一位相の同期パターン検出信号が連続していれば、同期パターン計数部3の出力する同期確立信号をアクティブ（High）にす

る。同期パターン計数部3は、0度、45度、90度、135度、180度、225度、270度、315度の各同期パターン検出信号に対して各々カウンタを持っており、同期確立信号によって示される同期パターン検出タイミングで各々に対応する同期パターン検出信号がアクティブになった時に各々のカウンタをインクリメントする。8個のカウンタのどれか一つのカウンタ値が所定の値に達したときに全カウンタのインクリメントを停止する。カウンタ値が所定の値に達したカウンタの角度が絶対位相であると判断して、その情報を含む絶対位相信号を出力する。

【0015】なお、同期パターン検出信号の論理和をとる論理和ゲートと、同期確立判定部4と、同期パターン計数部3の内部の同期確立信号と同期パターン検出信号とを組み合わせる論理回路は、絶対位相信号の信頼性を上げるためのものであり、必ずしも無ければならないというものではない。

【0016】

【実施例】[実施例1] 実施例1について、図3を参照して説明する。

【0017】角度範囲によるデマッピング部5は大小比較回路8、9、10、11、論理反転ゲート、論理積ゲートを備え、大小比較回路8はIが負数であることを検出し、大小比較回路9はQが負数であることを検出し、大小比較回路10はQが-Iより小さいことを検出し、大小比較回路11はQがIより小さい値をとることを検出する。これらの結果の論理反転ゲートと論理積ゲートによる組み合わせにより作成される0度、45度、90度、135度の角度検出信号が、同期パターン検出部6aに出力される。

【0018】同期パターン検出部6aは、シフトレジスタ12a~12d、同期パターン検出比較器13a~13d、反転同期パターン検出比較器14a~14dを備える。同期パターン検出比較器13aは、135度データの入力に対して、同期パターン検出をして135度の同期パターン検出信号を出力し、反転同期パターン検出比較器14aは、135度データの入力に対して、反転した同期パターンを検出して315度の同期パターン検出信号を出力する。同様に、同期パターン検出比較器13bは45度の同期パターン検出信号、反転同期パターン検出比較器14bは225度の同期パターン検出信号、同期パターン検出比較器13cは90度の同期パターン検出信号、反転同期パターン検出比較器14cは270度の同期パターン検出信号、同期パターン検出比較器13dは0度の同期パターン検出信号、反転同期パターン検出比較器14dは180度の同期パターン検出信号を出力する。これらの同期パターン検出信号は同期パターン計数部3に出力される。

【0019】同期パターン計数部3は、カウンタ16とカウンタのイネーブル信号を制御する論理積ゲート1

5、19、17及び反転出力論理積ゲート20より成る論理回路、絶対位相信号エンコーダ回路18を備える。なお、論理積ゲート17の出力は絶対位相信号エンコーダ18にも入力される。論理積ゲート17はカウンタ16の出力の全ビットの論理積をとることによってカウンタ16のカウンタ値が最大値に達したことを検出し、反転出力論理積ゲート20は、カウンタ16のうちどれか1つが最大値に達したことを検出する。絶対位相信号エンコーダ18は、どの位相が最も多く同期パターンが検出されたかを判断しエンコードし、その判断結果を絶対位相信号として出力する回路である。なお、論理積ゲート17の代わりにカウンタ16のカウンタ値と所定の値とを比較する比較器を使用しても良い。

【0020】次に、動作について説明する。

【0021】図3において、角度範囲によるデマッピング部1に入力されるデータI、Qは、図4に示したようなBPSKで変調された同期パターン21とそれに続くBPSK、QPSK、8PSKのデータ22を含む一定周期のフレーム構造をもつ。

【0022】図3の角度範囲によるデマッピング部1は、図2の"1をマッピングする範囲"を90度としてデマッピングする回路である。大小比較回路8、9、10、11によってそれぞれ、Iが負の値をとることの検出、Qが負の値をとることの検出、Qが-Iより小さいことの検出、QがIより小さいことの検出を行う。結果が、 $Q < -I$ かつ $Q < I$ でない時に0度のデータとして1を出力し、それ以外の時に0を出力する。 $I < 0$ かつ $Q < 0$ の時に45度のデータとして1を出力し、それ以外の時に0を出力する。 $Q < -I$ かつ $Q < I$ の時に90度のデータとして1を出力し、それ以外の時に0を出力する。 $I < 0$ でない、かつ $Q < 0$ の時に135度のデータとして1を出力し、それ以外の時に0を出力する。これらの各角度にデマッピングされたデータは同期パターン検出部2aに出力される。

【0023】表1に、大小比較回路8、9、10、11の各々が各角度において値が1のデータに対して1を出力する条件を示す。

【0024】

【表1】

	$I < 0$	$Q < 0$	$Q < -I$	$Q < I$
0度	1	不定	1	0
45度	1	1	1	不定
90度	不定	1	1	1
135度	0	1	不定	1

同期パターン検出部2aでは、各角度検出信号はシフトレジスタ12a~12dに入力され、シリアルからパラレルに変換する。同期パターン検出比較器13a~13dは、パラレルに変換された角度検出信号が図4の同期パターン21と一致した時に同期パターン検出信号を1にして出力し、反転同期パターン検出比較器14a~1

4 dの各々は、パラレルに変換された角度検出信号が反転した同期パターン21と一致した時に同期パターン検出信号を1にして出力する。各角度(0度、45度、90度、135度、180度、225度、270度、315度)の同期パターン検出信号は、同期パターン計数部3に入力される。

【0025】同期パターン計数部3は、各角度の同期パターン検出信号に対してカウンタ16を持っており、カウンタ16の各々は、同期確立信号で示される同期パターン検出タイミングでパターンが検出された時にインクリメントされる。論理和ゲート17はカウンタ16の出力の全ビットの論理積をとることによってカウンタ16の値が最大値に達したことを検出し、どれか一つが最大値に達したらカウンタ16のイネーブル信号をインアクティブにすることによってインクリメントを停止する。インクリメントが停止したところで、カウンタ値が最大値に達しているカウンタ16に対応する角度が絶対位相である。

【0026】[実施例2] 実施例2について、図5を参照して説明する。

【0027】図5の入力データI、Qのフォーマットは、図6に示した様なフレーム先頭に同期パターン21を持ちフレーム内の決まった位置にBPSKで変調されたバーストパターン26が挿入されたものである。同期パターン検出部2bでは、各角度のデータに対して、同期パターンとその反転、バーストパターンとその反転を同時に検出し同期パターン検出結果を同期確立判定部26に入力する。同期確立判定部26では同期を確立し、同期パターン計数部3に同期確立信号を出力する。この様にフレーム内の決まった位置に挿入されたBPSK変調方式で送信されたパターンの検出回数を計数することにより同期パターン検出回数の計数を行う実施例1に比べ絶対位相が検出されるまでの時間が短縮される効果がある。

【0028】[実施例3] 実施例1及び2においては、角度範囲によるデマッピング部1の角度範囲が $\pi/2$ であるが、これを $\pi/4$ に変更することにより、 $\pm\pi/4$

の位相ずれの影響をさらに少なくすることができる。

【0029】

【発明の効果】以上説明したように、本発明によれば、低C/N時にデータが拡散した場合でも、BPSKの同期パターンやバーストパターンを180度の範囲ではなく、ある角度範囲を持たせてデマッピングすることによって、ずれた位相で検出された同期パターンやバーストパターンの位相ずれを所定の角度単位(実施例では45度単位)で検出することができるので、これを用いて、同期パターンやバーストパターンの検出位相を補正又は制御したり、QPSK、8PSKで変調されているデータの復調を制御することが可能となる。

【0030】なお、絶対位相が検出されたならば、絶対位相信号を不図示のサンプリング回路でサンプリングしたのちに、カウンタ16をリセットすることにより、継続的に絶対位相信号を検出することが出来る。

【図面の簡単な説明】

【図1】本発明の実施形態による絶対位相検出回路の構成を示すブロック図である。

20 【図2】図1の角度範囲によるデマッピング部の動作を説明するための位相平面図である。

【図3】本発明の実施例1による絶対位相検出回路の構成を示すブロック図である。

【図4】図1又は図2の絶対位相検出回路が入力するデータのフォーマット図である。

【図5】本発明の実施例2による絶対位相検出回路の構成を示すブロック図である。

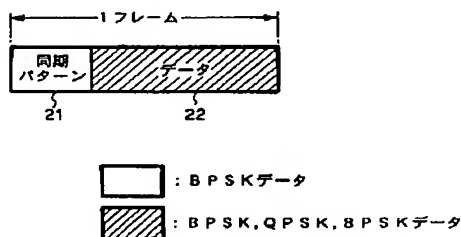
【図6】図5の絶対位相検出回路が入力するデータのフォーマット図である。

30 【図7】位相変調信号を説明するための位相平面図である。

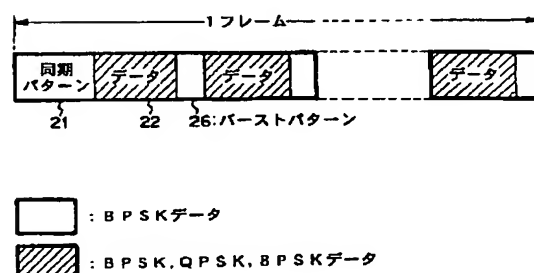
【符号の説明】

- 1 角度範囲によるデマッピング部
- 2 同期パターン検出部
- 3 同期パターン計数部
- 4 同期確立判定部

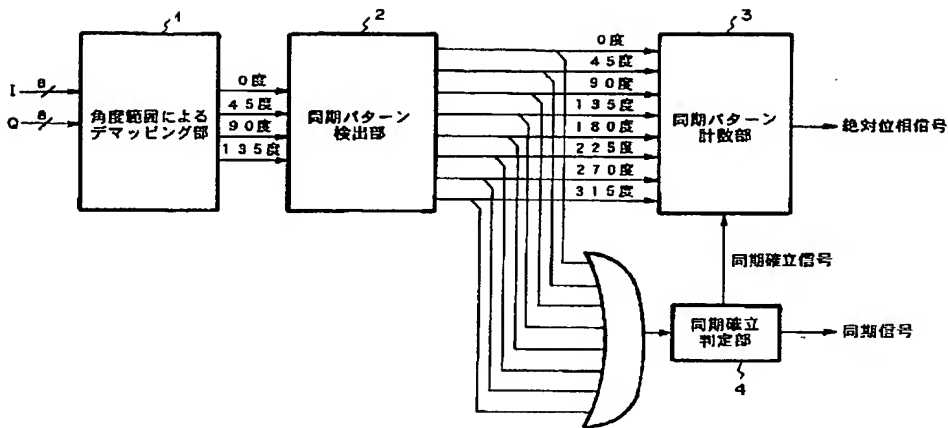
【図4】



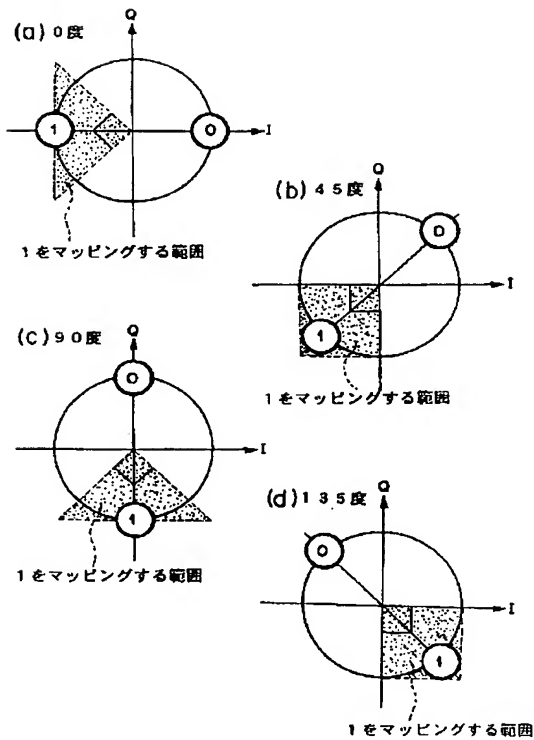
【図6】



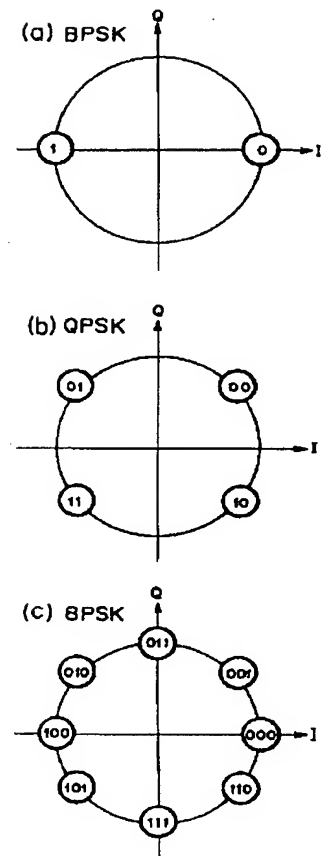
【図1】



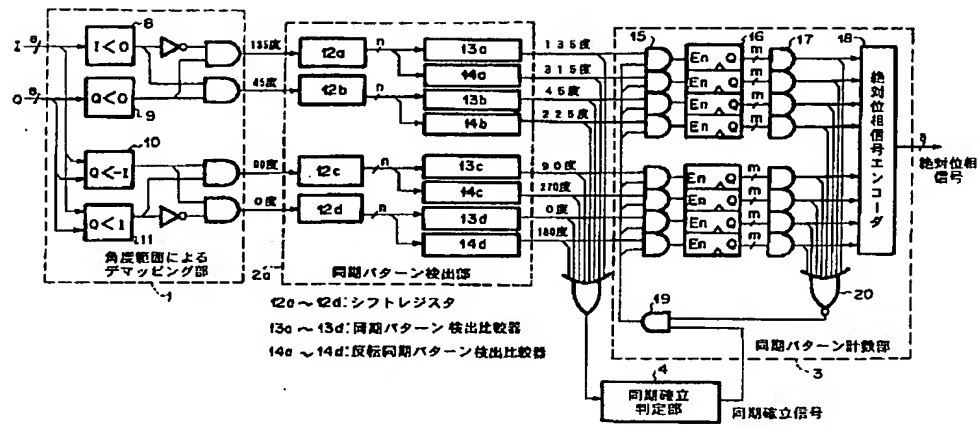
【図2】



【図7】



【図 3】



【図 5】

